

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-161973

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

G06F 13/36

(21)Application number : 08-319922

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.11.1996

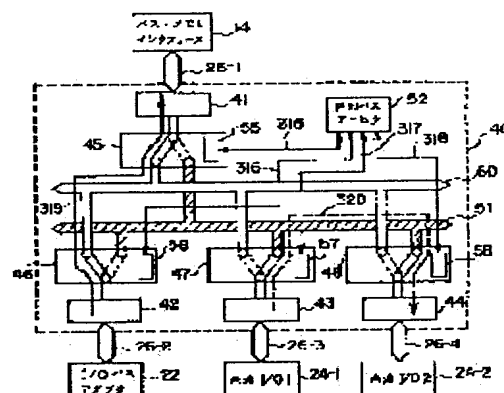
(72)Inventor : KONDO NOBUKAZU
TANAKA TOSHIO
KOHIYAMA TOMOHISA

(54) BUS CONTROLLER AND BUS UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a bus controller, that can improve the performance of standard bus while maintaining the compatibility of standard bus.

SOLUTION: When an information processing systems is constituted so as to execute data transfer from a transmission side module to a reception side module through plural modules, system buses 26 (26-1 to 26-4) and bus interfaces 14 and 22 or the like, a system bus unit 40 is provided with an internal bus according to a 2nd protocol having a transmission speed higher than that of data in the system buses 26 and protocol converting parts 41 and 42 provided between the system buses 26 and the internal bus so as to execute protocol conversion between these data. The data applied to the bus unit 40 are converted to the data of 2nd protocol by the correspondent protocol converting part, transferred through the internal bus, converted to the data of 1st protocol again by the reception side protocol converting part and transferred.



LEGAL STATUS

[Date of request for examination] 14.09.1999

[Date of sending the examiner's decision of rejection] 23.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-161973

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶
G 0 6 F 13/36

識別記号
3 2 0

F I
G 0 6 F 13/36

3 2 0 A

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平8-319922
(22) 出願日 平成8年(1996)11月29日

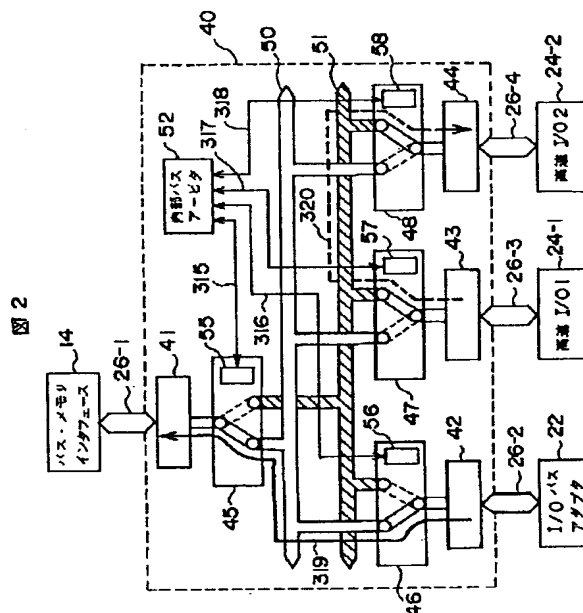
(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 近藤 伸和
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内
(72) 発明者 田中 利男
神奈川県海老名市下今泉810番地 株式会社日立製作所オフィスシステム事業部内
(72) 発明者 小松山 智久
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内
(74) 代理人 弁理士 富田 和子

(54) 【発明の名称】 バス制御装置およびバスユニット

(57) 【要約】

【課題】 標準バスの互換性を維持しつつ、標準バスの性能を向上させるバス制御装置を提供することにある。

【解決手段】 複数のモジュールと、システムバス26およびバスインタフェース14、22などを介して、送信側のモジュールから受信側のモジュールへのデータ転送を実行する情報処理システムにおいて、システムバスユニット40は、システムバス中のデータの伝送速度よりも高速な伝送速度をもつ第2のprotocolsにしたがった内部バス、並びに、システムバスと内部バスとの間に設けられ、これらのデータの間のprotocols変換を実行するprotocols変換部41、42などを備えている。バスユニット40に与えられたデータは、対応するprotocols変換部により、第2のprotocolsのデータに変換されて内部バス中を転送され、受信側のprotocols変換部により、第1のprotocolsのデータに再度変換されて転送される。



【特許請求の範囲】

【請求項1】 複数のモジュールと、前記複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のプロトコルに対応させて、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れて、対応するモジュールに転送するバスインタフェースとを有し、送信側のモジュールから受信側のモジュールへのデータ転送を実行する情報処理システムにおいて、

前記第1のバスから独立し、かつ、第1のバス中のデータの伝送速度よりも高速な伝送速度をもつ第2のプロトコルにしたがった、少なくとも一つの第2のバスと、第1のバスと第2のバスとの間に設けられ、第1のバス中のデータと第2のバス中のデータとの間のプロトコル変換を実行する複数のプロトコル変換手段であって、各々が、前記バスインタフェースと、それぞれ接続された複数のプロトコル変換手段とを備え、複数のモジュールのうちの一つからバスインタフェースに与えられたデータが、対応するプロトコル変換手段により、第2のプロトコルにしたがったデータに変換されて第2のバス中を転送され、受信側のモジュールに接続された受信側のバスインタフェースに対応するプロトコル変換手段により、第1のプロトコルにしたがってデータに再度変換されて、受信側のバスインタフェースを介して、受信側のモジュールに転送されるように構成されたことを特徴とするバス制御装置。

【請求項2】 前記第2のバスが、複数のバスにより構成され、

さらに、各々が、前記プロトコル変換部にそれぞれ接続され、前記複数のバスの何れかと、対応するプロトコル変換部とを接続するための、複数のバススイッチを備え、プロトコル変換部から第1のバスおよびバスインタフェースを介して接続されたモジュールが競合しない限り、前記複数のバスにより、並列的にデータが転送されるように構成されたことを特徴とする請求項1に記載のバス制御装置。

【請求項3】 さらに、前記第2のバスが、前記プロトコル変換部と接続されたクロスバススイッチから構成され、プロトコル変換部から第1のバスおよびバスインタフェースを介して接続されたモジュールが競合しない限り、前記クロスバススイッチにより、並列的にデータが転送されるように構成されたことを特徴とする請求項1に記載のバス制御装置。

【請求項4】 前記第2のバスのプロトコルが、前記第1のバスのプロトコルと、その動作周波数を除き、同一であることを特徴とする請求項1ないし3の何れか一項に記載のバス制御装置。

【請求項5】 複数のモジュールと、前記複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のプロトコルに対応させ

て、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れて、対応するモジュールに転送するバスインタフェースとを有し、送信側のモジュールから受信側のモジュールへのデータ転送を実行する情報処理システムにおいて、

前記第1のバスから独立した、複数の第2のバスと、第1のバスと第2のバスとの間に設けられ、各々がバスインタフェースと接続された複数のバススイッチであって、前記複数の第2のバスの何れかと、対応するバスインタフェースとを接続するための複数のバススイッチを備え、

複数のモジュールのうちの一つからバスインタフェースに与えられたデータが、該バスインタフェースに接続された何れかのバススイッチを介して、複数の第2のバスの何れか中を転送され、受信側のバスインタフェースに接続されたバススイッチを介して、受信側のモジュールに転送されるように構成され、かつ、第1のバスおよびバスインタフェースを介して前記バススイッチに接続されたモジュールが競合しない限り、前記複数のバスにより、並列的にデータが転送されるように構成されたことを特徴とするバス制御装置。

【請求項6】 複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のプロトコルに対応させて、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れるバスインタフェースとを有する情報処理システムにおいて、前記システムに着脱可能であり、かつ、システム装着時に、前記第1のバスの各々に接続されて、送信側のバスインタフェースから受信側のバスインタフェースへのデータ転送を実行するバスユニットであって、

前記第1のバスから独立し、かつ、第1のバス中のデータの伝送速度よりも高速な伝送速度をもつ第2のプロトコルにしたがった、少なくとも一つの第2のバスと、前記バスインタフェースの各々に接続された第1のバスと、それぞれ接続され、第1のバス中のデータと第2のバス中のデータとの間のプロトコル変換を実行する複数のプロトコル変換手段とを備え、

送信側のバスインタフェースから第1のバスを介して与えられたデータが、対応するプロトコル変換手段により、第2のプロトコルにしたがったデータに変換されて第2のバス中を転送され、受信側のバスインタフェースに対応するプロトコル変換手段により、第1のプロトコルにしたがってデータに再度変換されて、変換されたデータが、受信側のバスインタフェースに、対応する第1のバスを介して転送されるように構成されたことを特徴とするバスユニット。

【請求項7】 複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のプロトコルに対応させて、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れるバスイン

タフェースとを有する情報処理システムにおいて、前記システムに着脱可能であり、かつ、システム装着時に、前記第1のバスの各々に接続されて、送信側のバスインタフェースから受信側のバスインタフェースへのデータ転送を実行するバスユニットであって、

前記第1のバスから独立した、複数の第2のバスと、前記バスインタフェースの各々と接続された第1のバスと、それぞれ接続され、前記複数の第2のバスの何れかと、対応するバスインタフェースとを接続するための複数のバススイッチを備え、

送信側のバスインタフェースから第1のバスを介して与えられたデータが、該バスインタフェースに接続された何れかのバススイッチを介して、複数の第2のバスの何れかを介して転送され、受信側のバスインタフェースに接続されたバススイッチを介して、該受信側のバスインタフェースにデータが転送されるように構成され、かつ、

第1のバスおよびバスインタフェースを介して前記バススイッチに接続されたモジュールが競合しない限り、前記複数のバスにより、並列的にデータが転送されるように構成されたことを特徴とするバスユニット。

【請求項8】 前記バスユニットが、前記システムに着脱可能な単一の基板から構成されることを特徴とする請求項6または7に記載のバスユニット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パーソナルコンピュータなどの情報処理装置のバスを制御するバス制御装置に関し、より詳細には、バスの標準化された情報処理装置において、高速にデータの転送が可能なバス制御装置に関する。

【0002】

【従来の技術】パーソナルコンピュータなど各種情報処理装置においては、一般的には、プロセッサ間を接続するプロセッサバス、主記憶装置と接続されたメモリバスに加え、システムバス、I/Oバスなどの標準バスが、階層的に接続されている。このような各種のバスを備えた情報処理装置の構成は、たとえば、特開平5-233528号公報に開示されている。

【0003】図8は、このような従来の各種のバスを備えた情報処理装置の構成を示す図である。図8に示すように、情報処理装置10'には、プロセッサ12-1、12-2、・・・、バス・メモリインタフェース14とを相互に接続するプロセッサバス16と、主記憶装置18とバス・メモリインタフェース16とを相互に接続するメモリバス20、バス・メモリインタフェース16と、I/Oバスアダプタ22、高速I/O24-1および24-2とを相互に接続するシステムバス26、並びに、I/Oバスアダプタ22と、I/O28-1および28-2とを相互に接続するI/Oバス30が設けられ

ている。

【0004】これら情報処理装置を構成するものうち、プロセッサ12、バスメモリインタフェース14、これらを接続するプロセッサバス16、主記憶装置18、主記憶装置18とバス・メモリインタフェースとを接続するメモリバス20は、単一の基板などにユニット化されて、情報処理装置内に配置され、システムバス26、I/Oバスアダプタ22などは、他の基板などに一或いは複数のユニット化されて情報処理装置内に配置されている。このように複数のバスを設け、かつ、複数のユニットに分けることは以下の理由による。すなわち、プロセッサバスやメモリバスは、新しい高速なプロセッサが開発されるたびに、動作周波数の向上が要求されるため、プロセッサの交換などに応じて変更されるべきであるのに対して、システムバスやI/Oバスは、数世代にわたって共通のI/O装置（たとえば、フロッピーディスク装置、ハードディスク装置）、基板或いは部品などを利用するために、一定の動作周波数およびプロトコルにて使用されることによる。

【0005】

【発明が解決しようとする課題】このような従来の標準バスを装備した情報処理装置においては、数世代にわたって共通のI/O装置、基板或いは部品を活用できるという利点がある一方、プロセッサやメモリをより高速なものに交換しても、これらの性能向上に見合ったデータ転送の高速化を実現できないという問題点がある。その一方、システムバスやI/Oバスは、接続されたI/O装置との整合を図るため、標準バスであるのが好ましい。

【0006】また、図8に示すような、従来の情報処理装置において、バス・メモリインタフェース14とI/Oバスアダプタ22との間のデータ転送（たとえば、主記憶装置とハードディスク間のDMA転送など）の期間中に、高速I/O24-1と高速I/O24-2との間のデータ転送（たとえば、CD-ROMドライブからグラフィックスボードへのデータの直接転送など）ができないという問題点があった。特に、画像データや音声データの転送の場合、データ転送の待ち時間が大きいと得られた画像や音声途中でとだえてしまう。

【0007】本発明の目的は、標準バスの互換性を維持しつつ、すなわち、従来のI/O装置、基板、或いは、部品との適切な接続性を維持しつつ、標準バスの性能を向上させるバス制御装置およびバスユニットを提供することにある。

【0008】また、本発明の他の目的は、並列にデータを高速に転送し、データ転送の待ち時間をより小さくするバス制御装置およびバスユニットを提供することにある。

【0009】

【課題を解決するための手段】本発明の目的は、複数の

モジュールと、前記複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のプロトコルに対応させて、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れて、対応するモジュールに転送するバスインタフェースとを有し、送信側のモジュールから受信側のモジュールへのデータ転送を実行する情報処理システムにおいて、前記第1のバスから独立し、かつ、第1のバス中のデータの伝送速度よりも高速な伝送速度をもつ第2のプロトコルにしたがった、少なくとも一つの第2のバスと、第1のバスと第2のバスとの間に設けられ、第1のバス中のデータと第2のバス中のデータとの間のプロトコル変換を実行する複数のプロトコル変換手段であって、各々が、前記バスインタフェースと、それぞれ接続された複数のプロトコル変換手段とを備え、複数のモジュールのうちの一つからバスインタフェースに与えられたデータが、対応するプロトコル変換手段により、第2のプロトコルにしたがったデータに変換されて第2のバス中を転送され、受信側のモジュールに接続された受信側のバスインタフェースに対応するプロトコル変換手段により、第1のプロトコルにしたがってデータに再度変換されて、受信側のバスインタフェースを介して、受信側のモジュールに転送されるように構成されたことを特徴とするバス制御装置により達成される。

【0010】本発明によれば、第1のプロトコルよりも、そのデータ転送速度の高速な第2のプロトコルにしたがってデータが第2のバス中を転送されるため、標準バスとの互換性を維持しつつ、データ転送の性能を向上させることが可能となる。

【0011】本発明の好ましい実施態様においては、前記第2のバスが、複数のバスにより構成され、さらに、各々が、前記プロトコル変換部にそれぞれ接続され、前記複数のバスの何れかと、対応するプロトコル変換部とを接続するための、複数のバススイッチを備え、プロトコル変換部から第1のバスおよびバスインタフェースを介して接続されたモジュールが競合しない限り、前記複数のバスにより、並列的にデータが転送されるように構成されている。

【0012】これにより、データの並列性を実現でき、データ転送の待ち時間をより小さくすることが可能となる。

【0013】また、本発明の好ましい実施態様においては、さらに、前記第2のバスが、前記プロトコル変換部と接続されたクロスバススイッチから構成され、プロトコル変換部から第1のバスおよびバスインタフェースを介して接続されたモジュールが競合しない限り、前記クロスバススイッチにより、並列的にデータが転送されるように構成されている。

【0014】本発明のさらに好ましい実施態様においては、前記第2のバスのプロトコルが、前記第1のバスの

プロトコルと、その動作周波数を除き、同一である。これにより、プロトコル変換によりオーバーヘッドを大きくせずに、プロトコル変換を実現することが可能となる。

【0015】本発明の別の実施態様においては、複数のモジュールと、前記複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のプロトコルに対応させて、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れて、対応するモジュールに転送するバスインタフェースとを有し、送信側のモジュールから受信側のモジュールへのデータ転送を実行する情報処理システムにおいて、バス制御装置は、前記第1のバスから独立した、複数の第2のバスと、第1のバスと第2のバスとの間に設けられ、各々がバスインタフェースと接続された複数のバススイッチであって、前記複数の第2のバスの何れかと、対応するバスインタフェースとを接続するための複数のバススイッチを備え、複数のモジュールのうちの一つからバスインタフェースに与えられたデータが、該バスインタフェースに接続された何れかのバススイッチを介して、複数の第2のバスの何れか中を転送され、受信側のバスインタフェースに接続されたバススイッチを介して、受信側のモジュールに転送されるように構成され、かつ、第1のバスおよびバスインタフェースを介して前記バススイッチに接続されたモジュールが競合しない限り、前記複数のバスにより、並列的にデータが転送されるように構成されている。

【0016】これにより、標準バスの互換性を維持しつつ、データを並列に転送することにより、データ転送の待ち時間を小さくすることが可能となる。

【0017】別の見地からみると、本発明の目的は、複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のプロトコルに対応させて、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れるバスインタフェースとを有する情報処理システムにおいて、前記システムに着脱可能であり、かつ、システム装着時に、前記第1のバスの各々に接続されて、送信側のバスインタフェースから受信側のバスインタフェースへのデータ転送を実行するバスユニットであって、前記第1のバスから独立し、かつ、第1のバス中のデータの伝送速度よりも高速な伝送速度をもつ第2のプロトコルにしたがった、少なくとも一つの第2のバスと、前記バスインタフェースの各々に接続された第1のバスと、それぞれ接続され、第1のバス中のデータと第2のバス中のデータとの間のプロトコル変換を実行する複数のプロトコル変換手段とを備え、送信側のバスインタフェースから第1のバスを介して与えられたデータが、対応するプロトコル変換手段により、第2のプロトコルにしたがったデータに変換されて第2のバス中を転送され、受信側のバスインタフェース

10

20

30

40

50

に対応するプロトコル変換手段により、第1のプロトコルにしたがってデータに再度変換されて、変換されたデータが、受信側のバスインタフェースに、対応する第1のバスを介して転送されるように構成されたことを特徴とするバスユニットにより達成される。

【0018】さらに、別の態様においては、複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のプロトコルに対応させて、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れるバスインタフェースとを有する情報処理システムにおいて、前記システムに着脱可能であり、かつ、システム装着時に、前記第1のバスの各々に接続されて、送信側のバスインタフェースから受信側のバスインタフェースへのデータ転送を実行するバスユニットは、前記第1のバスから独立した、複数の第2のバスと、前記バスインタフェースの各々と接続された第1のバスと、それぞれ接続され、前記複数の第2のバスの何れかと、対応するバスインタフェースとを接続するための複数のバススイッチを備え、送信側のバスインタフェースから第1のバスを介して与えられたデータが、該バスインタフェースに接続された何れかのバススイッチを介して、複数の第2のバスの何れかを介して転送され、受信側のバスインタフェースに接続されたバススイッチを介して、該受信側のバスインタフェースにデータが転送されるように構成され、かつ、第1のバスおよびバスインタフェースを介して前記バススイッチに接続されたモジュールが競合しない限り、前記複数のバスにより、並列的にデータが転送されるように構成されている。

【0019】バスユニットは、前記システムに着脱可能な単一の基板から構成されるのが好ましい。これにより、基板を装着することにより、容易に、データ転送を高速化することが可能となる。

【0020】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態につき、説明を加える。図1は、本発明に実施の形態にかかるバス制御装置（システムバスユニット）を使用した情報処理装置の構成を示すブロックダイアグラムである。図1において、図8に示す従来の情報処理装置の構成部品と同じものには、同じ符号を付している。

【0021】図1に示すように、情報処理装置10は、プロセッサ12-1、12-2、・・・、バス・メモリインタフェース14、これらの間を接続するプロセッサバス16、主記憶装置18、主記憶装置18とバス・メモリインタフェース14との間を接続するメモリバス20、I/Oバスアダプタ22、フロッピーディスク装置などのI/O28-1、28-2、・・・、これらの間を相互接続するI/Oバス30、高速I/O24-1、24-2、・・・、並びに、バス・メモリインタフェー

ス14、I/Oバスアダプタ22および高速I/O24-1、24-2、・・・と、システムバス26-1、26-2、26-3、26-4、・・・を介して接続されたシステムバスユニット40を備えている。

【0022】本実施の形態において、プロセッサ12、バスメモリインタフェース14、プロセッサバス16、主記憶装置18およびメモリバス20は、一つのユニットを形成している。また、システムバス26-1、26-2、26-3、26-4は、図8に示す従来のシステムバス26と同一のプロトコルを有し、かつ、I/Oバス30も、図8に示す従来のI/Oバス30と同一のプロトコルを有している。たとえば、システムバスは、PCIバスであるが、他の標準バス（たとえば、VMEバスなど）であっても良い。

【0023】本実施の形態において、システムバスユニットは、単一の基板上に一つのユニットとして形成され、この基板を取り付けることにより、システムバス26-1ないし26-4が、それぞれ、システムバスユニット10と接続されるようになっている。その一方、基板を取り外すことにより、情報処理装置は、図8に示す従来の情報処理装置と同様な構成となる。高速I/O24-1、24-2、・・・は、画像RAM、D/A変換器或いはA/D変換器など、画像信号や音声信号など、高速に伝達すべき信号を扱うデバイスに対応する。

【0024】システムバスユニット40は、後に詳述するように、システムバス26におけるデータ転送よりも、高速にデータを伝送可能なプロトコルにしたがって、データ転送ができるようになっている。図2は、システムバスユニット40およびその周辺の構成を示すブロックダイアグラムである。

【0025】図2に示すように、システムバスユニット40は、システムバス26-1ないし26-4に、それぞれ接続され、システムバスのプロトコルの入力信号を、システムバスユニット40内のプロトコルの信号に変換し、或いは、システムバスユニット40内のプロトコルの信号を、システムバスのプロトコルの出力信号に変換するプロトコル変換部41ないし44と、プロトコル変換部41ないし44と、システムバスユニット40内の二系統のバスの何れかとを、それぞれ接続するバススイッチ45ないし48と、バススイッチ45ないし48の一方の入出力端と接続された第1の内部バス49と、バススイッチ45ないし48の他方の入出力端と接続された第2の内部バス50と、内部バスの使用権を管理する内部バスアービタ52とを備えている。また、第1の内部バス49および第2の内部バス50においては、システムバス26-1ないし26-4中を伝送されるデータよりも、高速（たとえば、2倍程度）の動作周波数にて、データが伝送されるようになっている。

【0026】バススイッチ45ないし48の各々には、内部バスアービタ52に、内部バスの使用権を要求する

10

20

30

40

50

使用権要求信号を出力し、或いは、内部バスアービタ52からの、内部バスの使用権を許可する使用権許可信号を受け入れ、これらにしたがって、バススイッチ45を切り換えるための内部バス使用権制御部55ないし59が設けられている。

【0027】次に、バススイッチ45ないし48と、内部バスアービタ52との間の信号につき、図3を参照して説明を加える。バススイッチ45ないし48の内部バス使用権制御部55ないし59は、それぞれ、バスの使用を要求する際に、内部バス使用権要求信号(BREQ1など)を、内部バスアービタ52に出力する。内部バスアービタ52は、内部バス使用権要求信号などに応答して、バススイッチ45ないし48の何れかに、第1の内部バスの使用を許可する第1の内部バス使用許可信号(BACK1Aなど)或いは第2の内部バスの使用を許可する第2の内部バス使用許可信号(BACK1Bなど)を与える。

【0028】さらに、内部バスアービタ52は、バス・メモリインタフェース14、I/Oバスアダプタ22、高速I/O24-1、24-2からのシステムバスユニット使用権要求信号(たとえば、符号413)を受け入れ、これに応答して、システムバスユニット使用許可信号(たとえば、符号417)を、バス・メモリインタフェース14などに出力するようになっている。

【0029】このように構成された情報処理装置、特に、システムバスユニット40の作動につき説明する。図4(a)および(b)は、システムバスユニット40の内部バスアービタ52による内部バス使用権の調停手順を示すフローチャートである。このフローチャートを参照しつつ、具体的に、あるデバイスから他のデバイスへのデータ転送を説明する。

【0030】まず、I/Oバスアダプタ22から、バス・メモリインタフェース14にデータを転送する場合に、I/Oバスアダプタ22は、システムバスユニット40の内部バスアービタ52に、システムバスユニット使用権要求信号(図3の符号414参照)を与える。このような場合に、図4(a)のフローチャートのステップ451において、イエス(Y)と判断される。

【0031】内部バスアービタ52は、次いで、第1の内部バス50が未使用であるか否かを判断する(ステップ452)。ステップ452においてノー(N)と判断されると、内部バスアービタ52は、第2の内部バス51が未使用であるか否かを判断する(ステップ453)。第1および第2の内部バス50、51の双方が使用中である場合には、ステップ452に戻り、何れかのバスが未使用になるまで、ステップ452および453を繰り返す。

【0032】第1の内部バス50或いは第2の内部バス51の何れかが未使用である場合に、内部バスアービタ52は、I/Oバスアダプタ22に、システムバスユニ

ット使用許可信号(図3の符号418参照)を与える(ステップ454)。なお、内部バスアービタ52は、同時に複数のデバイス(モジュール)から、システムバス使用権要求信号が与えられた場合に、予め定められた優先順位にしたがって、いずれかのデバイス(モジュール)にシステムバス使用許可信号を与える。一般に、フロッピーディスクなどのI/Oに接続されたI/Oバスアダプタの優先順位と比較して、画像RAMなどに対応する高速I/Oの優先順位の方が高くなるように定められている。

【0033】システムバスユニット使用許可信号が与えられると、I/Oバスアダプタ22は、システムバス26-2を介して、システムバスユニット40に、システムバスのプロトコルにしたがったデータを転送する。システムバスユニット40においては、プロトコル変換部42がデータを受け入れ、システムバスのプロトコルにしたがったデータを、内部バスのプロトコルにしたがったデータに変換する。次いで、バススイッチ46の内部バス使用権制御部56は、内部バスアービタ52に、内部バス使用権要求信号(図3のBREQ2)を出力する。

【0034】このような場合に、図4(b)の図4のステップ461において、イエス(Y)と判断される。内部バスアービタ52は、第1の内部バス50が未使用であるか否かを判断する(ステップ462)。ステップ462においてノー(N)と判断されると、内部バスアービタ52は、第2の内部バス51が未使用であるか否かを判断する(ステップ463)。第1および第2の内部バス50、51の双方が使用中である場合には、ステップ462に戻り、何れかのバスが未使用になるまで、ステップ462および463を繰り返す。

【0035】第1の内部バス50或いは第2の内部バス51の何れかが未使用である場合に、内部バスアービタ52は、バススイッチ46の内部バス使用権制御部56に、内部バス使用許可信号(図3のBACK2A或いはBACK2B)を与える(ステップ464または465)。なお、内部バスアービタ52は、同時に複数のバススイッチの内部バス使用権制御部から、内部バス使用権要求信号が与えられた場合に、予め定められた優先順位にしたがって、いずれかの内部バス使用権制御部に内部バス使用許可信号を与える。この優先順位は、プロトコル変換部および第1のバスなどを介して接続されたモジュールの優先順位と同一である。

【0036】第1の内部バスの使用許可信号(BACK2A)がバス使用権制御部56に与えられた場合には、バススイッチ46の出力側は、第1の内部バス50と接続され、プロトコル変換部42から出力された、内部バスのプロトコルにしたがったデータが、第1の内部バス50に送出される。或いは、第2の内部バスの使用許可信号(BACK2B)がバス使用権制御部56に与えら

10

20

30

40

50

れた場合には、プロトコル変換部42から、内部バスのプロトコルにしたがったデータが、第2の内部バス51に送出される。

【0037】プロトコル変換部41ないし44は、それぞれ、自己がデータ送出に使用していない内部バスの内容(特に、アドレス)を、関連するバススイッチ45ないし48を介して、常に監視している。したがって、内部バス上に表れたデータのアドレス値が、予め自己或いは自己に接続されたデバイス(モジュール)に割り当てられた値に対応する場合には、関連するバススイッチ45ないし48を介して、このデータを受け入れるようになっている。

【0038】上述した例において、バススイッチ46を介して第1の内部バス50にデータが送出された場合には、バス・メモリインタフェース14に接続されたプロトコル変換部41は、第1の内部バス50に送出されたデータが、自己に関連するものであると判断し、バススイッチ45に、第1の内部バス50のデータを受け入れるように指示する。これにより、バススイッチ45を介して、プロトコル変換部41に、データが伝達される。

【0039】プロトコル変換部41は、第1の内部バス50からの、内部バスのプロトコルにしたがったデータを、システムバスのプロトコルにしたがったデータに変換して、システムバス26-1に出力する。システムバス26-1上に与えられたデータは、バス・メモリインタフェース14に伝達される。このようにして、I/Oバスアダプタ22から、バス・メモリインタフェース14にデータが転送される。

【0040】次に、第1の内部バス50を用いて、I/Oバスアダプタ22からバス・メモリインタフェース14にデータを転送している際に、高速I/O24-1から高速I/O24-2に、データを転送する必要が生じた場合につき、説明する。

【0041】このようなときに、高速I/O24-1は、システムバスユニット40の内部バスアービタ52に、システムバスユニット使用権要求信号(図3の符号415参照)を与える。これにตอบสนองして、内部バスアービタ52の処理中、図6(a)のステップ451においてイエスと判断され、次いで、第1の内部バス50が未使用であるか否かが判断される(ステップ452)。

【0042】上述したように、第1の内部バス50は、I/Oバスアダプタ22からバス・メモリインタフェース14へのデータ転送のために使用されているため、ステップ452においては、ノー(N)と判断される。次に、内部バスアービタ52は、第2の内部バス51が未使用であるか否かを判断し(ステップ453)、未使用である場合(ステップ453においてイエス(Y))には、高速I/O24-1に、システムバスユニット使用許可信号(図3の符号419参照)を与える(ステップ454)。

【0043】システムバスユニット使用許可信号が与えられると、高速I/O24-1は、システムバス26-3を介して、システムバスユニット40に、システムバスのプロトコルにしたがったデータを転送する。システムバスユニット40においては、プロトコル変換部43がデータを受け入れ、システムバスのプロトコルにしたがったデータを、内部バスのプロトコルにしたがったデータに変換する。次いで、バススイッチ47の内部バス使用権制御部57は、内部バスアービタ52に、内部バス使用権要求信号(図3のBREQ3)を出力する。内部バスアービタ52は、内部バス使用権要求信号(BREQ2)の受理にตอบสนองして、ステップ461、462、463および465の処理を実行する。前述したように、第1の内部バス50は、既に、他のデータ転送のために使用されているため、ステップ462においてはノー(N)と判断され、その一方、第2の内部バス51は、未使用であるため、ステップ463においてはイエス(Y)と判断される。ステップ465において、第2の内部バスの内部バス使用許可信号(図3のBACK3B)が、内部バス使用権制御部57に与えられる。これにより、バススイッチ47の出力側は、第2の内部バス51と接続され、プロトコル変換部43から出力された、内部バスのプロトコルにしたがったデータが、第2の内部バス52に送出される。

【0044】上述したように、データが第2の内部バス52に送出されると、高速I/O24-2に接続されたプロトコル変換部44は、第2の内部バス51に送出されたデータが、自己に関連するものと判断し、バススイッチ48に、第2の内部バス51のデータを受け入れるように指示する。これにより、バススイッチ48を介して、プロトコル変換部44に、データが伝達される。

【0045】プロトコル変換部44は、第2の内部バス51からの、内部バスのプロトコルにしたがったデータを、システムバスのプロトコルにしたがったデータに変換して、システムバス26-4に出力する。システムバス26-4上に与えられたデータは、高速I/O24-2に伝達される。このようにして、高速I/O24-1から、高速I/O24-2にデータが転送される。

【0046】図2において、実線にて表わした矢印319が、システムバスユニット40を介したI/Oバスアダプタ22からバス・メモリインタフェース14へのデータの流れを示し、その一方、破線にて表わした矢印320が、システムバスユニット40を介した高速I/O24-1から高速I/O24-2へのデータの流れを示している。

【0047】なお、システムバスユニット40を介してI/Oバスアダプタ22からバス・メモリインタフェース14へデータが転送されている際に、高速I/O24-1或いは24-2から、I/Oバスアダプタ22またはバスメモリインタフェース14へのデータ転送が要求

された場合につき、以下に簡単に説明する。

【0048】前述したように、この実施の形態においては、第1の内部バス50および第2の内部バス51において、システムバス中を伝送されるデータよりも、より高速な作動周波数にて、データが伝送されるようにして、データの高速転送を実現している。また、バスシステムユニット40内のデータ転送は、図5(a)に示すように、送信側のプロトコル変換部が、内部バスにアドレスを送出した後に、データを送出し、データを送出している間、データストロブ(DS)信号をローレベルにして、内部バス中にデータが与えられていることを示している。受信側のプロトコル変換部は、データの受取が終了すると、DACK信号を、送信側のプロトコル変換部に与え、それに応答して、DS信号がハイレベルとなり、あるアドレスに対応するデータの送受信が終了する。その一方、図5(b)に示すように、受信側のプロトコル変換部から、DACK信号が与えられないと、送信側のプロトコル変換部は、データを出力し続け、かつ、DS信号をローレベルに維持する。

【0049】したがって、上述した場合に、高速I/O 24-1或いは高速I/O 24-2から、I/Oバスアダプタ22、バス・メモリアインタフェース14の一方に、データが与えられた場合に、I/Oバスアダプタ22またはバス・メモリアインタフェース14に対応するプロトコル変換部46または45から送信側のプロトコル変換部43または44に、DACK信号が与えられないため、送信側のプロトコル変換部43または44は、DACK信号が与えられるまで、送出したデータを維持する。

【0050】受信側のプロトコル変換部46または45において、先行するデータの受信が終了すると、次いで、プロトコル変換部43または44からのデータを受信し、受信が終了すると、DACK信号を、プロトコル変換部43または44に与える。また、他のプロトコル変換部にて、競合が生じた場合にも同様の処理が実行される。

【0051】本実施の形態によれば、各デバイス(モジュール)にシステムバスを介して接続されたプロトコル変換部により、システムバスにおけるデータの伝送よりもより高速なデータ伝送を実現するプロトコルにしたがって、データが変換される。次いで、内部バスを介して、受信側のプロトコル変換部にデータが伝達され、受信側のプロトコル変換部において、受信されたデータが、システムバスのプロトコルにしたがったデータに変換され、対応するデバイス(モジュール)に伝達される。したがって、標準バスの互換性を維持しつつ、データの転送を高速化することが可能となる。

【0052】また、本実施の形態によれば、システムバスユニット40には、第1の内部バス50および第2の内部バス51が設けられているため、デバイス(モジュール)が競合しない場合には、データ転送を並列化し

て、同時に実行することができ、デバイス間のデータ転送の際の待ち時間を短縮することが可能となる。特に、プロセッサのI/OアクセスやDMAアクセスと並行して、I/O間のデータ転送を実行する際などに、その効果が顕著になる。

【0053】次に、本発明の第2の実施の形態にかかるシステムバスユニットにつき説明を加える。この実施の形態にかかるシステムバスユニットを用いた情報処理装置は、図1のものと同一である。図6は、第2の実施の形態にかかるシステムバスユニットおよびその周辺の構成を示すブロックダイアグラムである。図6において、第1の実施の形態にかかる構成と同じものには、同一の符号を付している。図6に示すように、システムバスユニット100は、システムバス26-1ないし26-4を介して、バス・メモリアインタフェース14、I/Oバスアダプタ22、高速I/O 24-1および高速I/O 24-2と、それぞれ接続された、プロトコル変換部41ないし44、クロスバスイッチ101、制御部102およびアドレステーブル103を備えている。プロトコル変換部41ないし44は、それぞれ、クロスバスイッチの一つの端子と接続されている。また、第1の実施の形態と同様に、システムバスユニット100内では、システムバス中を伝送されるデータよりも高速(たとえば、2倍程度)の動作周波数にて、データが伝送されるようになっている。

【0054】クロスバスイッチ101は、内部接点(図示せず)を閉じることにより、プロトコル変換部を相互に接続する。制御部102は、プロトコル変換部41ないし44からの要求にしたがって、アドレステーブル103を参照して、所定の接点を閉じないように、クロスバスイッチ101を制御する。アドレステーブル103には、クロスバスイッチ101に与えられたアドレスに基づき、どのプロトコル変換部どおしを接続するかを決定するためのデータが、予め記憶されている。

【0055】このように構成されたシステムバスユニット100を備えた情報処理装置において、I/Oバスアダプタ22からバス・メモリアインタフェース14にデータを転送する場合に、I/Oバスアダプタ22からプロトコル変換部42に、システムバス26-2を介してデータが与えられると、プロトコル変換部42は、与えられた、システムバスのプロトコルにしたがったデータを、バスシステムユニット100内のデータ転送用のプロトコルにしたがったデータに変換し、得られたデータを、クロスバスイッチ101に出力する。

【0056】制御部102は、クロスバスイッチ101に与えられたデータに基づき、アドレステーブルを参照し、接続すべきクロスバスイッチ101中の内部接点を決定する。上述した場合には、所定の内部接点(図示せず)が接続されることにより、プロトコル変換部42からのデータが、プロトコル変換部41に送出される。

【0057】プロトコル変換部41は、これに回答して、受け入れたデータを、システムバスのプロトコルにしたがったデータに変換し、得られたデータを、システムバス26-1を介して、バス・メモリインタフェース14に転送する。これにより、I/Oバスアダプタ22からバス・メモリインタフェースへのデータ転送が実現される。

【0058】次に、I/Oバスアダプタ22からバス・メモリインタフェース14にデータを転送している際に、高速I/O24-1から高速I/O24-2に、データを転送する必要が生じた場合につき説明する。

【0059】プロトコル変換部43に、システムバス26-3を介して高速I/O24-1プロトコル変換部42は、与えられた、システムバスのプロトコルにしたがったデータを、バスシステムユニット100内のデータ転送用のプロトコルにしたがったデータに変換し、得られたデータを、クロスバススイッチ101に出力する。

【0060】制御部102は、クロスバススイッチ101に与えられたデータに基づき、アドレステーブルを参照し、接続すべきクロスバススイッチ101中の内部接点を決定する。このとき、制御部102は、デバイス（モジュール）の競合が生じていないことを確認し、生じていないときに、クロスバススイッチ101に、所定の接点を閉じるように指示する。所定の内部接点（図示せず）が接続されることにより、プロトコル変換部43からのデータが、プロトコル変換部44に送出される。

【0061】プロトコル変換部44は、これに回答して、受け入れたデータを、システムバスのプロトコルにしたがったデータに変換し、得られたデータを、システムバス26-4を介して、高速I/O24-2に転送する。これにより、高速I/O24-1から高速I/O24-2へのデータ転送が実現される。このように、第2の実施の形態によっても、デバイス（モジュール）の競合がない限り、デバイス間のデータ転送を並列化して同時に実行することができ、データ転送の際の待ち時間を短縮することが可能となる。

【0062】また、第2の実施の形態によれば、内部バスの本数に制限されることなく、デバイス（モジュール）の競合がない限り、データ転送を並列化することが可能となる。

【0063】本発明は、以上の実施の形態に限定されることなく、特許請求の範囲に記載された発明の範囲内で、種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることは言うまでもない。

【0064】たとえば、前記実施の形態において、情報処理装置中に、3つの高速I/O24-1、24-2を示したが、3つ以上の高速I/Oが設けられ、これらがそれぞれ、システムバスを介して、システムバスユニットに接続されていても良い。

【0065】また、前記第1の実施の形態においては、

システムバスユニットに、2つの内部バス50、51を設け、所定の場合には、並列にデータが転送されるように構成しているが、内部バスが、1つであっても、データ転送の高速化を実現できることは明らかである。或いは、3つ以上の内部バスを設け、よりデータ転送の並列性を高めても良い。

【0066】さらに、前記実施の形態においては、システムバスユニットを、情報処理装置に着脱可能な単一の基板に形成しているが、これに限定されるものではなく、内部に基板を含むようなスイッチなどに、システムバスユニットを形成しても良い。

【0067】また、前記実施の形態において、内部バスを介して転送されるデータのプロトコルは、システムバス中で伝送されるデータの伝送速度よりも、高速な動作周波数にて、データを伝送できるものとなっているが、これに限定されるものではなく、たとえば、アドレスとデータとを並列に送信できるようなプロトコルを採用しても良い。

【0068】さらに、本発明において、プロトコル変換部を設けずに、バススイッチおよび複数の内部バスを用いて、システムバスユニットを構成することも可能である。図7は、このように構成されたシステムバスユニットの他の例を示すブロックダイアグラムである。図7において、図2に示すシステムバスユニット40の構成部分と同一のものには、同一の番号を付している。図7に示すように、このシステムバスユニット70は、図2のシステムバスユニットからプロトコル変換部41ないし44が削除され、システムバス26-1ないし26-4が、バススイッチ45ないし48に、それぞれ、直接接続されている。内部バス50、51中を伝送されるデータのプロトコルは、システムバス中を伝送されるデータのものと同様である。

【0069】このように構成されたシステムバスユニット70の作動は、プロトコル変換部におけるプロトコル変換が省略されたことを除き、第1の実施の形態のものと同様である。したがって、この実施の形態によれば、モジュールの競合がない限り、データを並列的に転送することが可能となり、このような場合に、データの高速転送を実現することが可能となる。

【0070】さらに、本明細書において、手段とは必ずしも物理的手段を意味するものではなく、各手段の機能が、ソフトウェアによって実現される場合も包含する。さらに、一つの手段の機能が、二つ以上の物理的手段により実現されても、若しくは、二つ以上の手段の機能が、一つの物理的手段により実現されてもよい。

【0071】

【発明の効果】本発明によれば、パーソナルコンピュータを始めとする各種情報処理装置において、標準バスであるシステムバス中に、システムバスユニットを配置することにより、従来のシステムバスとの互換性を保ちつ

つ、すなわち従来のI/O装置やボードをそのまま活用しつつ、データ転送の性能を向上させることができる。

【0072】また、本発明によれば、転送速度の向上のみならず、データ転送を並列に実行できるため、特に、プロセッサのI/Oアクセス或いはDMAアクセスと並行して、I/O間の転送を実行する場合があるシステムでは、更に効果が大きい。

【0073】さらに、従来のI/O部品を活用できるため、低価格なシステムを構築することが可能となる。

【0074】すなわち、本発明によれば、標準バスの互換性を維持しつつ、すなわち、従来のI/O装置、基板、或いは、部品との適切な接続性を維持しつつ、標準バスの性能を向上させるバス制御装置およびバスユニットを提供することが可能となり、また、並列にデータを高速に転送し、データ転送の待ち時間をより小さくするバス制御装置およびバスユニットを提供することが可能となる。

【図面の簡単な説明】

【図1】 図1は、本発明の第1の実施の形態にかかるシステムバスユニットを使用した情報処理装置の構成を示すブロックダイアグラムである。

【図2】 図2は、第1の実施の形態にかかるシステムバスユニットおよびその周辺の構成を示すブロックダイアグラムである。

【図3】 図3は、第1の実施の形態にかかるバススイッチと内部バスアービタとの間の信号を説明するための図である。

【図4】 図4は、第1の実施の形態にかかる内部バス*

*アービタにて実行される処理を説明するための図である。

【図5】 図5は、内部バスを介したデータ転送を説明するための図である。

【図6】 図6は、本発明の第2の実施の形態にかかるシステムバスユニットおよびその周辺の構成を示すブロックダイアグラムである。

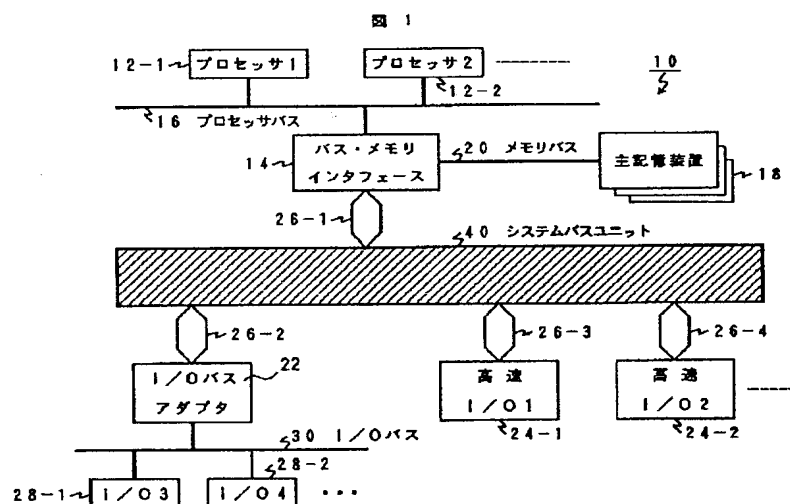
【図7】 図7は、本発明にかかるシステムバスユニットのさらに他の例を示すブロックダイアグラムである。

【図8】 図8は、従来のシステムバスを使用した情報処理装置の構成を示すブロックダイアグラムである。

【符号の説明】

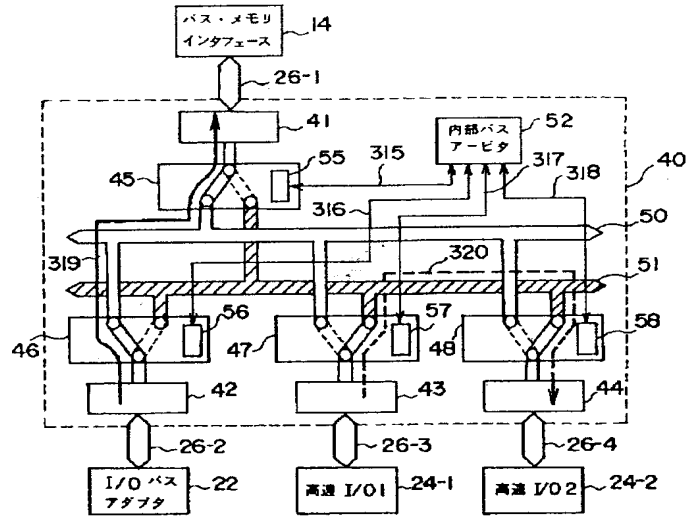
10	情報処理装置
12-1、12-2	プロセッサ
14	バス・メモリインタフェース
16	プロセッサバス
18	主記憶装置
20	メモリバス
22	I/Oバスアダプタ
24-1、24-2	高速I/O
26-1、26-2、26-3、26-4	システムバス
28-1、28-2	I/O
40	システムバスユニット
41、42、43、44	プロトコル変換部
45、46、47、48	バススイッチ
50、51	内部バス
52	内部バスアービタ

【図1】



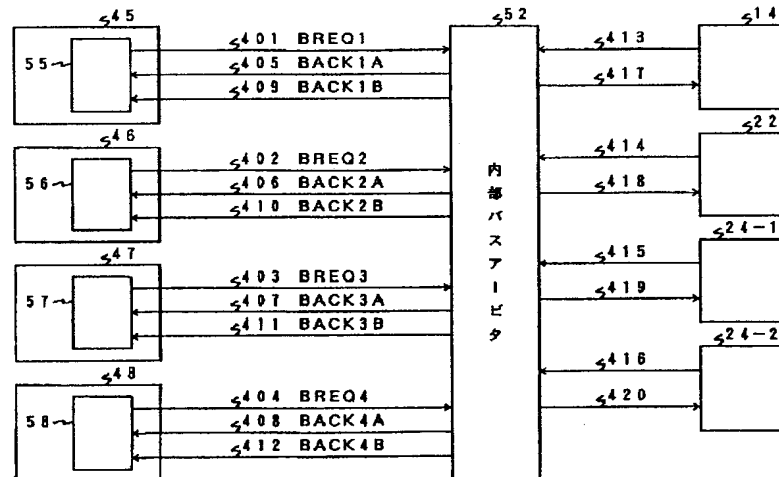
【図2】

図 2



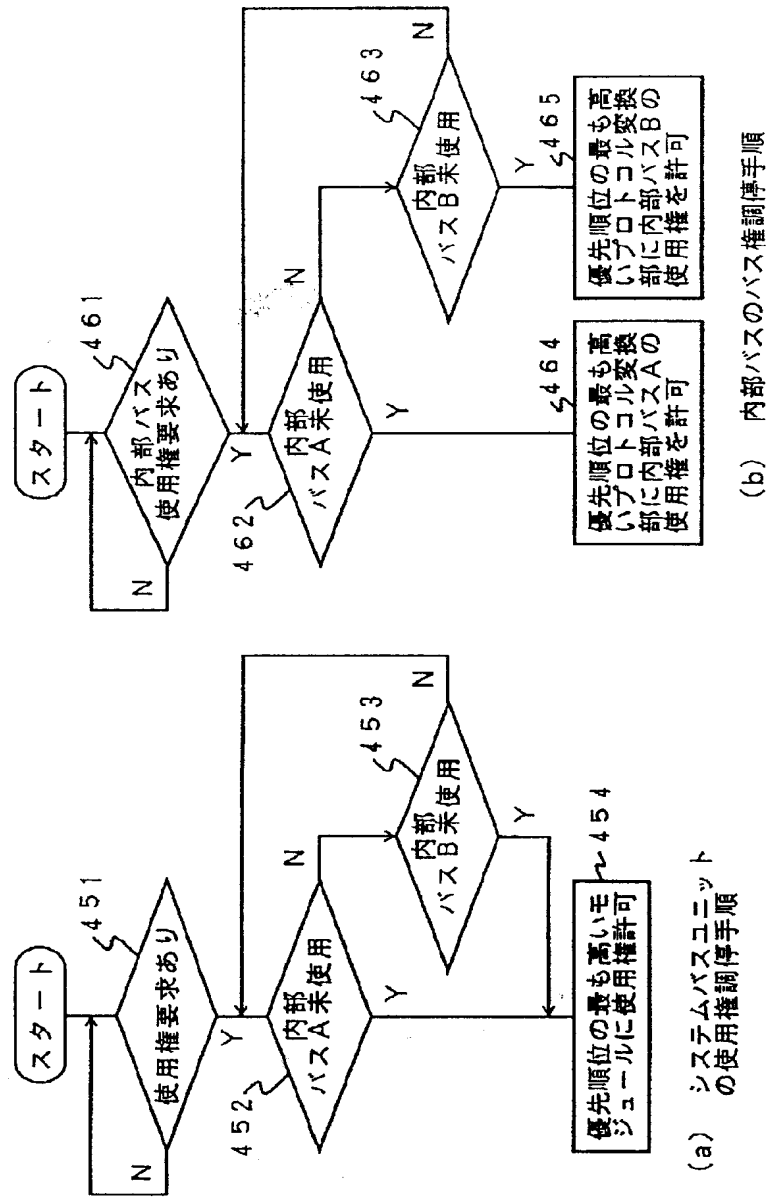
【図3】

図 3



【図4】

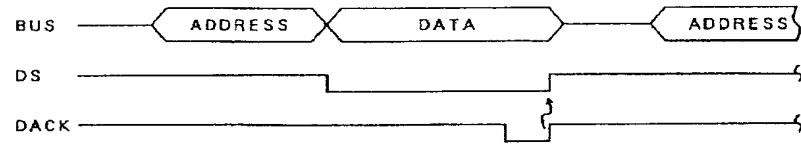
図 4



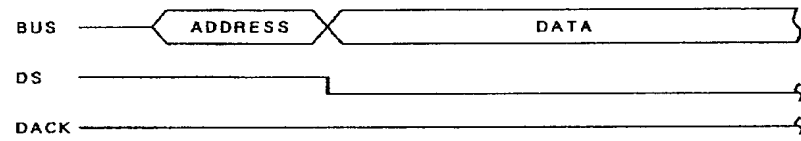
【図5】

図 5

(a)

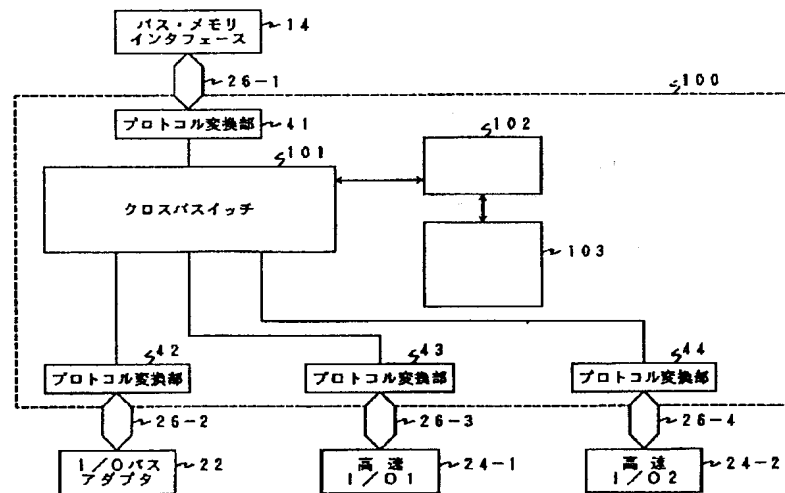


(b)



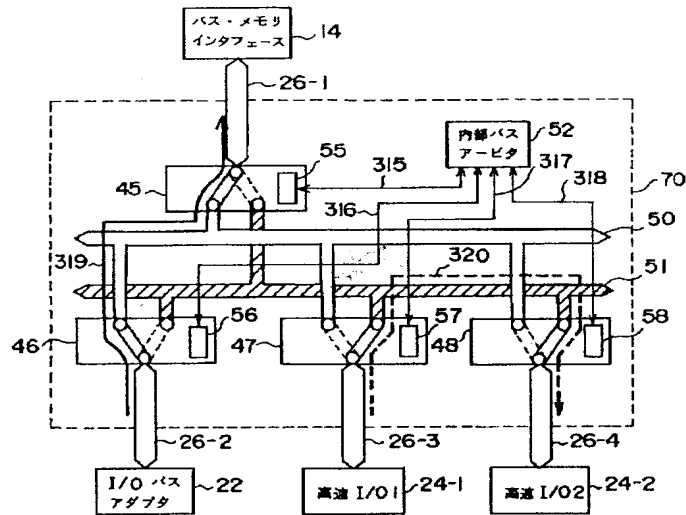
【図6】

図 6



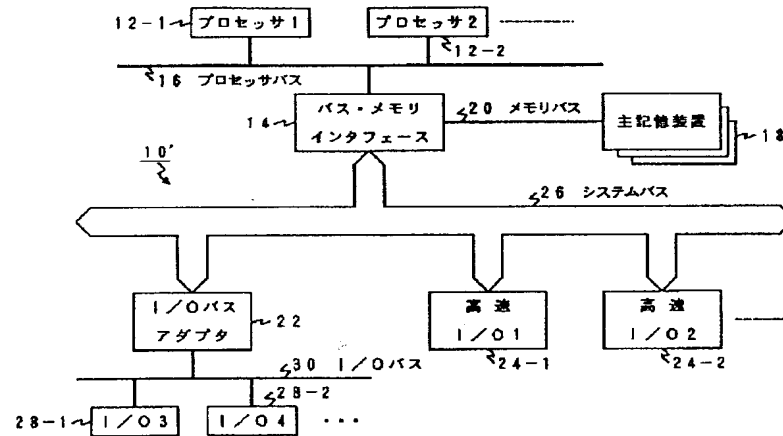
【図7】

図7



【図8】

図8



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 13 年 2 月 23 日 (2001. 2. 23)

【公開番号】特開平 10-161973
 【公開日】平成 10 年 6 月 19 日 (1998. 6. 19)
 【年通号数】公開特許公報 10-1620
 【出願番号】特願平 8-319922

【国際特許分類第 7 版】

G06F 13/36 320

【F I】

G06F 13/36 320 A

【手続補正書】

【提出日】平成 11 年 9 月 14 日 (1999. 9. 14)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】情報処理装置用基板、情報処理装置および情報転送方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】情報処理装置用基板であって、第 1 のプロトコルで動作している第 1 のバスに接続され、前記第 1 のバスプロトコルと第 2 のバスプロトコル間のプロトコル変換をする第 1 のプロトコル変換部と、前記第 2 のバスプロトコルで動作する 1 以上の第 2 のバスと、前記プロトコル変換部を前記第 2 のバスのいずれかに接続する第 1 のバススイッチと、前記第 2 のバスプロトコルと前記第 1 のバスプロトコル間のプロトコル変換をする第 2 のプロトコル変換部と、前記第 2 のバスのいずれかと前記第 2 のプロトコル変換部とを接続する第 2 のバススイッチと、前記第 1 のバススイッチと前記第 2 のバススイッチに接続され、前記第 2 のバスのいずれに接続するかを制御するバスアービタとを有することを特徴とする情報処理装置用基板。

【請求項 2】請求項 1 記載の情報処理装置用基板であって、前記第 1 のバススイッチ及び前記第 2 のバススイッチは、前記第 2 のバス使用権制御部を有することを特徴とする情報処理装置用基板。

【請求項 3】請求項 2 記載の情報処理装置用基板であって、

前記第 2 のバス使用権制御部は、前記バスアービタに前記第 2 のバスのバス使用権要求信号を出力し、前記バスアービタからのバス使用権許可信号を受信することで、前記第 2 のバスの使用権を得ることを特徴とする情報処理装置用基板。

【請求項 4】請求項 1 記載の情報処理装置であって、第 2 のバス中のデータの伝送速度は、第 1 のバス中のデータの伝送速度よりも高速であることを特徴とする情報処理装置用基板。

【請求項 5】情報処理装置であって、第 1 のプロトコルで動作している第 1 のバスに接続され、前記第 1 のバスプロトコルと第 2 のバスプロトコル間のプロトコル変換をする第 1 のプロトコル変換部と、前記第 2 のバスプロトコルで動作する 1 以上の第 2 のバスと、

前記プロトコル変換部を前記第 2 のバスのいずれかに接続する第 1 のバススイッチと、前記第 2 のバスプロトコルと前記第 1 のバスプロトコル間のプロトコル変換をする第 2 のプロトコル変換部と、前記第 2 のバスのいずれかと前記第 2 のプロトコル変換部とを接続する第 2 のバススイッチと、前記第 1 のバススイッチと前記第 2 のバススイッチに接続され、前記第 2 のバスのいずれに接続するかを制御するバスアービタとを有する情報処理装置用基板を備えていることを特徴とする情報処理装置。

【請求項 6】情報処理装置用基板であって、第 1 のプロトコルで動作している第 1 のバスに接続され、前記第 1 のバスプロトコルと第 2 のバスプロトコル間のプロトコル変換をする第 1 のプロトコル変換部と、前記第 2 のバスプロトコルと前記第 1 のバスプロトコル間のプロトコル変換をする 2 以上の第 2 のプロトコル変換部と、前記第 1 のプロトコル変換部と前記第 2 のプロトコル変換部とを接続するクロスバススイッチと、

前記クロスバススイッチに接続され、前記クロスバススイッチが入力した要求に基づき前記クロスバススイッチを制御する制御部と、

前記制御部に接続され、前記第1及び第2のプロトコル変換部、前記第2のプロトコル変換部の接続の対応を規定したアドレステーブルとを有することを特徴とする情報処理装置用基板。

【請求項7】請求項6に記載の情報処理装置用基板であって、

前記制御部は、前記アドレステーブルを参照して、前記第1及び前記第2のいずれのプロトコル変換部を接続するかを制御することを特徴とする情報処理装置用基板。

【請求項8】情報処理装置であって、

第1のプロトコルで動作している第1のバスに接続され、前記第1のバスプロトコルと第2のバスプロトコル間のプロトコル変換をする第1のプロトコル変換部と、前記第2のバスプロトコルと前記第1のバスプロトコル間のプロトコル変換をする2以上の第2のプロトコル変換部と、

前記第1のプロトコル変換部と前記第2のプロトコル変換部とを接続するクロスバススイッチと、

前記クロスバススイッチに接続され、前記クロスバススイッチが入力した要求に基づき前記クロスバススイッチを制御する制御部と、

前記制御部に接続され、前記第1及び第2のプロトコル変換部、前記第2のプロトコル変換部の接続の対応を規定したアドレステーブルとを有する情報処理装置用基板を備えたことを特徴とする情報処理装置。

【請求項9】情報処理装置用基板であって、

第1のバスに接続された第1のバススイッチと、前記バススイッチのいずれかに接続された1以上の第2のバスと、

前記第2のバスのいずれかと接続された第2のバススイッチと、

前記第1のバススイッチと前記第2のバススイッチに接続され、前記第2のバスのいずれに接続するかを制御するバスアービタとを有することを特徴とする情報処理装置用基板。

【請求項10】請求項9記載の情報処理装置用基板であって、

前記第1のバスは、第1のバスプロトコルで動作することを特徴とする情報処理装置用基板。

【請求項11】請求項9記載の情報処理装置用基板であって、

前記第2のバスは、第2のバスプロトコルで動作することを特徴とする情報処理装置用基板。

【請求項12】請求項9記載の情報処理装置用基板であって、

前記第1のバススイッチは、前記第1のバスプロトコルと第2のバスプロトコル間のプロトコル変換をする第1

のプロトコル変換部を有し、

前記第2のバススイッチは、前記第1のバスプロトコルと第2のバスプロトコル間のプロトコル変換をする第2のプロトコル変換部を有することを特徴とする情報処理装置用基板。

【請求項13】情報処理装置であって、

第1のバスと、

前記第1のバスに接続された第1のバススイッチと、

前記第1のバススイッチのいずれかに接続された1以上の第2のバスと、

前記第2のバスのいずれかと接続された第2のバススイッチと、

前記第1のバススイッチと前記第2のバススイッチに接続され、前記第2のバスのいずれに接続するかを制御するバスアービタとを有する情報処理装置用基板を備えたことを特徴とする情報処理装置。

【請求項14】請求項13記載の情報処理装置であって、

前記第1のバスは、第1のバスプロトコルで動作することを特徴とする情報処理装置。

【請求項15】請求項13記載の情報処理装置であって、

前記第2のバスは、第2のバスプロトコルで動作することを特徴とする情報処理装置。

【請求項16】2以上のモジュールを有する情報処理装置において、前記2以上のモジュールのうちで転送元となるモジュールから転送先となるモジュールへ情報を転送する転送方法であって、

前記情報処理装置は、前記モジュールに接続され、第1のプロトコルで動作している第1のバスと、

前記第1のバスに接続され、前記第1のバスプロトコルと第2のバスプロトコル間のプロトコル変換をする2以上の第1のプロトコル変換部と、

前記第2のバスプロトコルで動作する1以上の第2のバスと、を有し、

前記転送元となるモジュールから前記第1のバスに出力されたデータが、前記プロトコル変換部により、前記第2のプロトコルにしたがったデータに変換され、

前記データは前記第2のバス中を転送され、転送先であるモジュールに接続された前記プロトコル変換部で、第1のプロトコルにしたがってデータに再度変換され、

転送先のモジュールに転送されることを特徴とする情報転送方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、パーソナルコンピュータなどの情報処理装置、それに用いられる基板、および、情報転送方法に係り、特に、高速にデータの転送が可能なバス制御が行える情報処理装置、それに用いられる基板、および、情報転送方法に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】本発明の目的は、標準バスの互換性を維持しつつ、すなわち、従来のI/O装置、基板、或いは、部品との適切な接続性を維持しつつ、標準バスの性能を向上させた情報処理装置、および、それに用いる基板を提供することにある。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】また、本発明の他の目的は、並列にデータを高速に転送し、データ転送の待ち時間をより小さくした情報処理装置、および、それに用いる基板を提供することにある。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明の第1の態様にれば、情報処理装置用基板であって、第1のバスに接続された第1のバススイッチと、前記バススイッチのいずれかに接続された1以上の第2のバスと、前記第2のバスのいずれかと接続された第2のバススイッチと、前記第1のバススイッチと前記第2のバススイッチに接続され、前記第2のバスのいずれに接続するかを制御するバスアービタとを有することを特徴とする情報処理装置用基板が提供される。また、本発明の第2の態様にれば、情報処理装置用基板であって、第1のプロトコルで動作している第1のバスに接続され、前記第1のバスプロトコルと第2のバスプロトコル間のプロトコル変換をする第1のプロトコル変換部と、前記第2のバスプロトコルで動作する1以上の第2のバスと、前記プロトコル変換部を前記第2のバスのいずれかに接続する第1のバススイッチと、前記第2のバスプロトコルと前記第1のバスプロトコル間のプロトコル変換をする第2のプロトコル変換部と、前記第2のバスのいずれかと前記第2のプロトコル変換部とを接続する第2のバススイッチと、前記第1のバススイッチと前

記第2のバススイッチに接続され、前記第2のバスのいずれに接続するかを制御するバスアービタとを有することを特徴とする情報処理装置用基板が提供される。さらに、本願発明の第3の態様にれば、情報処理装置用基板であって、第1のプロトコルで動作している第1のバスに接続され、前記第1のバスプロトコルと第2のバスプロトコル間のプロトコル変換をする第1のプロトコル変換部と、前記第2のバスプロトコルと前記第1のバスプロトコル間のプロトコル変換をする2以上の第2のプロトコル変換部と、前記第1のプロトコル変換部と前記第2のプロトコル変換部とを接続するクロスバススイッチと、前記クロスバススイッチに接続され、前記クロスバススイッチが入力した要求に基づき前記クロスバススイッチを制御する制御部と、前記制御部に接続され、前記第1及び第2のプロトコル変換部、前記第2のプロトコル変換部の接続の対応を規定したアドレステーブルとを有することを特徴とする情報処理装置用基板が提供される。また、本発明第4から第6の態様として、前述した第1から第3の各態様に係る情報処理装置用基板を対応して有する情報処理装置が提供される。また、本発明において、例えば、複数のモジュールと、前記複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のプロトコルに対応させて、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れて、対応するモジュールに転送するバスインタフェースとを有し、送信側のモジュールから受信側のモジュールへのデータ転送を実行する情報処理システムにおいて、前記第1のバスから独立し、かつ、第1のバス中のデータの伝送速度よりも高速な伝送速度をもつ第2のプロトコルにしたがった、少なくとも一つの第2のバスと、第1のバスと第2のバスとの間に設けられ、第1のバス中のデータと第2のバス中のデータとの間のプロトコル変換を実行する複数のプロトコル変換手段であって、各々が、前記バスインタフェースと、それぞれ接続された複数のプロトコル変換手段とを備え、複数のモジュールのうちの一つからバスインタフェースに与えられたデータが、対応するプロトコル変換手段により、第2のプロトコルにしたがったデータに変換されて第2のバス中を転送され、受信側のモジュールに接続された受信側のバスインタフェースに対応するプロトコル変換手段により、第1のプロトコルにしたがってデータに再度変換されて、受信側のバスインタフェースを介して、受信側のモジュールに転送されるように構成されたことを特徴とするバス制御装置を用いることができる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】別の見地からみると、本発明では、複数のモジュールと接続され、前記複数のモジュールからのデータを、共通の第1のバスの第1のprotocolsに対応させて、当該第1のバスに送出し、或いは、第1のバスからのデータを受け入れるバスインタフェースとを有する情報処理システムにおいて、前記システムに着脱可能であり、かつ、システム装着時に、前記第1のバスの各々に接続されて、送信側のバスインタフェースから受信側のバスインタフェースへのデータ転送を実行するバスユニットであって、前記第1のバスから独立し、かつ、第1のバス中のデータの伝送速度よりも高速な伝送速度をもつ第2のprotocolsにしたがった、少なくとも一つの第2のバスと、前記バスインタフェースの各々に接続さ

れた第1のバスと、それぞれ接続され、第1のバス中のデータと第2のバス中のデータとの間のprotocols変換を実行する複数のprotocols変換手段とを備え、送信側のバスインタフェースから第1のバスを介して与えられたデータが、対応するprotocols変換手段により、第2のprotocolsにしたがったデータに変換されて第2のバス中を転送され、受信側のバスインタフェースに対応するprotocols変換手段により、第1のprotocolsにしたがってデータに再度変換されて、変換されたデータが、受信側のバスインタフェースに、対応する第1のバスを介して転送されるように構成されたことを特徴とするバスユニットを用いることができる。